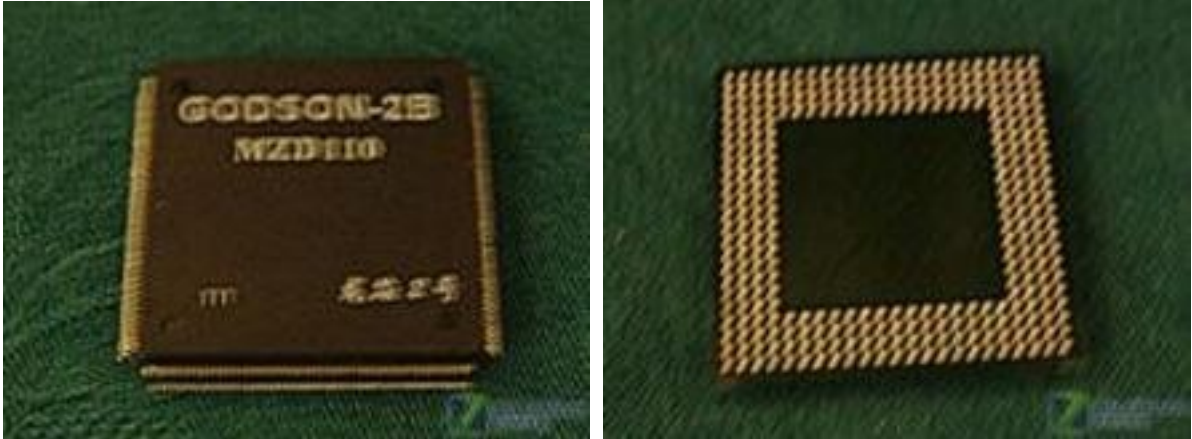


龙芯 2 号研发过程



龙芯 2

2003 年 10 月 16 日深夜，喧嚣了一天的计算所北楼终于沉寂了下来，我独自坐在北楼 105 房间忐忑不安地等待着。刚才还有郑为民和一个学生跟我在一起，几分钟前我派他们到后面的芯片小楼取逻辑分析仪去了。与北楼隔着一个篮球场的芯片小楼里还有 10 来个课题组的弟兄，他们都象我一样忐忑不安地等待着。

17 日凌晨 0 点 30 分，楼道里传来了有节奏的脚步声，在空旷而寂静的楼道里显得特别有力。脚步声越来越近，我的心一下子提了起来，咚咚的脚步声象敲在我的心上，因为我知道，我们的龙芯 2 号回来了。

105 房间的门被推开，张珩风风火火地闯了进来，手里抱着一个方盒子。他是我专门派到上海去封装厂家取龙芯 2 号芯片回来测试的。我们小心翼翼地打开盒子，几十片龙芯 2 号芯片象等待检阅的士兵一样整齐地排列在专用的包装盒里。一个电话拨到芯片小楼，不到两分钟，105 房间就聚集了六、七个人，他们都是下午刚刚成立的联调组的成员。

我挑了几个芯片，在用万用表对芯片进行一些简单的静态测试后，从中选了一个芯片放到子卡的插槽中盖好，并把子卡插到主板上。小心地按了一下电源开关，显示屏上没有动静，心里一阵紧张。试了几次后，换一个子卡，放上芯片后插到主板上，一按电源开关，显示屏一阵跳动，串串字符如约而至。我们一阵欢呼，刚才提到嗓子眼的心放回到心窝里先。

在启动了一个简单的 BIOS 系统以后，开始启动 LINUX 操作系统，一切都很顺利。1 点 10 分，屏幕上出现了 LINUX 操作系统的登录提示符“login:”。在拿到芯片的 40 分钟后，刚才等待时的紧张心情一扫而光。我们赶快打电话到芯片小楼告诉在那里等候的其他同学。钟石强还给我的妻子发了个短信，今晚她也在等待我们的消息。几分钟后龙芯 2 号收到了出世后的第一个祝福。

4 点 30 分，龙芯 2 号通过了其他的测试。我们用装有龙芯 2 号的计算机在我们 CPU 组的内部 BBS 上灌了龙芯 2 号出世后的第一瓢水，并发了几封 EMAIL。我决定龙芯 2 号的第一次联调先告一段落，拿出放了很久的硅谷的一个朋友送的一瓶 XO 在芯片小楼的会议室里每人半纸杯庆祝了一下。喝完酒后大家兴致不减，根据事先的约定又打车到天安门广场看升国旗并去毛主席纪念堂向毛主席报告。今年是毛主席诞辰 110 周年，我们这款芯片的名字就叫 MZD110。



6点25分，我们又一次站在天安门前的国旗杆下，看着红彤彤的国旗在国歌声中冉冉升起。去年在接受《东方之子》节目采访时，他们曾问我在龙芯1号研制成功后看升国旗时心里想什么，我那时真忘了想什么了。这次我试图去想一些有意义的事情，比如什么豪言壮语之类的。可是面对国旗，脑袋里一片空白，只是在国旗猛地串上杆顶的那一刹那，24小时前杨利伟走出神舟5号舱门冲大家挥手的画面突然出现在我脑海中，以至于在去前门吃早饭的路上这个画面还久久浮现在面前，挥之不去。

在2002年9月28日龙芯1号的发布会上，李国杰所长曾经引用《易经》中的话说：“万物生于有，有生于无”。如果说龙芯1号解决的是从0到1的问题的话，那么龙芯2号要解决的是从1到10的问题，即龙芯2号的性能至少是龙芯1号的10倍以上。事实上这也是我们在申请中科院知识创新工程重大项目和863计算机软硬件主题重点项目时唐志敏提的指标。在这两个项目厚厚的申请书和合同书中，我只记住了两个数字，一个是主频500MHz以上，一个是SPEC CPU2000的值达到300分以上。从承担项目之日起，这两个数字就象两个紧箍咒一样紧紧地箍在我的头上(我一直认为这个项目是863项目中立得最成功的项目之一，只用两个数字就把要做的事情表达得足够清楚了)。

从现在看来，主频500MHz以上还好办一些，下死工夫总是可以做到的，用0.13微米的工艺更是容易做到。难的是SPEC CPU2000的分值达到300分以上。所谓SPEC CPU2000，就是一组国际公认的标准测试程序，用这组程序在目标机器上运行，根据实际运行时间算出该计算机的运行速度指标。这种标准测试程序从SPEC CPU89、SPEC CPU92、SPEC CPU95、到SPEC CPU2000已经发展了好几期。其中SPEC CPU2000覆盖的应用面最广，包括文件压缩、FPGA布局布线、编译器、组合优化、国际象棋、文字处理、计算机视觉、编程语言、解释器、数据库、布局布线模拟器、量子动力学、浅水模型、三维势场求解、偏微分方程、三维图形库、计算流体力学、图象识别/神经网络、地震波传

播模拟、计算化学、数论/素数测试等等，光源代码就有上百万行。打分的标准是把这组程序在 Sun 公司一台 300MHz 的四发射 UltraSparcII 上运行的时间做为标准运行时间，其分值为 100 分，其它机器运行时间跟标准时间相比算出相应的分值。一般来说，现在较流行的四发射的主流 RISC 处理器象 Alpha21264、MIPSR12000、IBMPowerIII 等在 400MHz 到 500MHz 的情况下 SPEC CPU2000 的分值可以达到 300 分左右，而 PentiumIII 在 800MHz 时 SPEC CPU2000 的浮点分值才 200 多分。龙芯 2 号要达到 300 分，至少要与 1GHz 以上的 PIII 或 PIV 的性能相当。因此，虽然做 500MHz 虽然也不容易，但更难的是 SPEC CPU2000 的分值达到 300 分以上。

提高处理器的性能，提高主频和优化软硬件结构不可偏废，光强调主频和光强调结构都是不行的。就象要把 100 根木头从 A 地扛到 B 地，甲每 10 分钟一个来回，每次扛 1 根木头；乙每 20 分钟一个来回，每次扛 4 根木头；丙 60 分钟一个来回，每次扛 6 根木头。我们不能根据甲跑得快(主频高)就说甲的性能最高，也不能根据丙每次扛得最多(每拍执行的指令多)就说丙的性能最高，性能是一个综合的东西。当然，还有其它要考虑的因素，如甲乙丙三人每小时的报酬(处理器的功耗、面积)等。虽然龙芯 1 号的成功对我们来说是一个巨大的进步，但有一件事我一直深引以为恨，那就是龙芯 1 号的性能没有达到预想的目标。

虽然主频不低，但跑起程序来比起类似结构的 RISC 处理器以及相同主频的 PII 还有一些差距。SPEC CPU2000 的分值也不高。我曾经整日整夜地泡在机房运行各种测试程序，并试图通过软件优化的方法提高性能。虽然取得了一些效果，但不理想。后来的性能分析表明，有些龙芯 1 号性能瓶颈其实完全是可以通过简单的优化克服的，可惜当时项目推进得太快，没有时间做充分的性能分析和优化。这件事使我极其郁闷，因此把性能分析不够作为龙芯 1 号设计过程的一个重要教训，并发誓在龙芯 2 号的设计中要一血前耻。知耻近乎勇，后来龙芯 2 号步步为营的性能分析果真为龙芯 2 号提高性能发挥了巨大作用。在中科院领导对我们承担的龙芯 2 号重大项目进行立项审查的会上，李老师和唐志敏和我在向院党组汇报后准备离开时，江院长追出来跟李老师说：“李院士，我就把宝压在你身上了”。在 863 计算机软硬件主题专家对我们承担的龙芯 2 号项目进行立项审查的会上，我做完报告后，专家组组长怀进鹏老师曾声色俱厉地说：“胡伟武，这个项目是 863 计算机软硬件主题最大的项目，完不成任务提头来见！”这两件事给我很大的触动，让我想起上甘岭战役前夕彭德怀曾对秦基伟说：“我们要对朝鲜的历史负责”。

龙芯 2 号的设计在龙芯 1 号 tapeout 前就开始筹划，主要是唐志敏和我围绕我们申请的中科院和 863 的项目进行调研并确立在 2004 年项目结束时 SPEC CPU2000 的分值达到 300 分的目标，并在此基础上确定 64 位结构和 4 发射的目标。根据项目目标及龙芯 1 号研制的经验和教训，我们确定了龙芯 2 号研制的如下三条设计原则：

一是充分发挥结构设计优势和软硬件协同的设计原则。即通过处理器中各个层次的并行性开发来提高性能。这些并行性包括指令级并行、数据级并行以及线程级并行。其中指令级并行主要是四发射结构的实现，即在指令流水线的任何一个阶段每拍都执行四条以上的指令。为了有效发挥多发射通路的效率，必须实现充分的乱序执行技术，减少指令间的互相等待。数据级并行性的开发主要是通过 SIMD 的技术实现向量指令。线程级并行性包括单处理器的多线程技术以及多处理器的多线程技术。龙芯 2 号在并行性开发上主要开发指令级并行技术，并通过把浮点部件与媒体处理共用的方法实现数据级并行的 SIMD 技术。软硬件协同主要指通过编译优化及硬件对编译器的支持提高性能，既不片面追求复杂的硬件大包大揽，也不把沉重的优化负担完全压在编译器身上。编译器对提高性能十分重要，我们曾有这样的体会：在同一台机器上，用不同编译器编译出来的同一个程序，运行时间竟相差 75%。

二是以物理设计指导结构设计的原则首先，流水线的最大逻辑路径不是由体系结构设计需要来确定，而是由物理设计的要求来确定。即先确定每一级流水线的最大延迟并在此约束下进行结构设计。其次，在做结构设计时，心中要有物理设计的概念，即要明白相应的逻辑在物理上是什么样的。在龙芯2号设计过程中，结构设计人员至少做到网表级。

三是设计和实现方法上稳扎稳打的原则首先，重视 Cycle-by-Cycle 的 C 模拟器的设计并把 C 模拟器作为详细结构设计的文档是我们在龙芯1号开发过程中形成的一条最重要的经验，即“可执行的结构设计”的概念。在设计初期就通过充分的仿真与验证不仅不会影响进度，而且会加快进度。此外，龙芯2号的功能设计和物理设计也分成几步：

- 第一步，还是采用标准单元设计，只在很有限的局部做全定制(如寄存器堆)，主频 200-300MHz 以上，功能上不实现二级 cache，争取尽快完成流片。
- 第二步，功能上增加二级 cache 接口或/及 DDR 接口等，物理设计上使用更多的宏单元，但设计方法还是基于标准单元的方法，主频在 300-400MHz 以上。
- 第三步，功能上增加对多处理器系统的支持，在更多的地方使用全定制单元或使用全定制流程，主频争取在 400-500MHz 以上。龙芯2号最后的流片将以全定制为主。

龙芯2号的设计包括结构设计、逻辑设计以及物理设计三个阶段，这三个阶段互相重叠，其中结构设计阶段和龙芯1号的设计也有所重叠。龙芯2号的结构设计断断续续地进行了好几个月。刚开始是在2002年四、五月份在进行龙芯1号物理设计的同时对龙芯2号的系统结构进行了初步的考虑。在对市场上的主流处理器如

Alpha21264、MIPSR10000、UltraSparcIII、PowerIII、HPPA8700、PIV、IA64 等及学术界的主要工作进行调研的基础上基本确定了龙芯2号的寄存器重命名、动态调度以及运算部件的架构。到六、七月份随着龙芯1号物理设计和系统开发工作的展开，龙芯2号的结构设计几乎停了下来。那时候我们组一共只有二、三十号人，很多人员的工作都是重叠的，根本没有力量同时做两件事情。

在2002年7月中旬龙芯1号 tapeout 之后，利用等待芯片回来的时间把龙芯2号的结构设计再次提上日程。7月15日研究生部的靳晓明老师打电话叫我到在四川广元召开的研究生学术研讨会上做个特邀报告，本来应该是徐志伟老师做的报告，徐老师临时有事去不了因此派我救场。唐志敏已经告诉靳老师我刚 tapeout 一个芯片，应该有空，所以推也推不掉。开完会后还要去九寨沟，需要三、四天才能回来。我走之前临时决定把龙芯2号的部分设计人员带到广元，准备在路上对龙芯2号的结构进行讨论。我和中科院研究生院的两位老师一起坐火车头天走，安虹老师、张福新和范东睿坐飞机第二天走，几乎同时到的广元。那时候我女儿正在放暑假，我爱人在龙芯1号 tapeout 之后刚到一个公司上班，因此我把6岁的女儿也一起带上了。

后来的事实证明我临走前做的决定是十分正确的，在广元和九寨沟的几天效率极高，基本确定了龙芯2号的结构框架。那几天我们白天根据会务组的安排活动，晚上讨论龙芯2号的结构，并且根据讨论结果形成龙芯2号结构设计的初步文档，每天都到凌晨一、二点。由于处理器的寄存器重命名以及动态调度结构已经基本确定，因此讨论的重点是取指和访存部件的结构。

在从广元去九寨沟的路上我和范东睿坐在汽车的最后一排讨论龙芯2号的取指和译码部分的结构，汽车在路上颠簸了一整天，我们也讨论了一整天。取指与译码部分的设计空间很大，包括采用何种转移猜测算法、多发射情况下如何消除转移指令后面的延迟槽、取指及转移猜测是以指令为单位还是以发射块(四条指令)为单位、转移猜测是在取指还是在译码阶段进

行、修正 BHT 和 BTB 的时机、如何提高指令 cache 的性能、以及指令 TLB 和数据 TLB 的关系等。其中如何消除转移指令后面的延迟槽讨论的时间最长，主要是对传统的 BTB 方法和 Alpha21264 中采用的 lineprediction 方法进行反复的比较和分析。我从小就喜欢坐比较颠簸的汽车，汽车越颠精神越好，范东睿精神也不错，因此一路上效率极高。晚上 8 点汽车到达九寨沟时，龙芯 2 号的取指部分架构已基本确定。

访存部分的结构比取指部分复杂。一方面，它是与操作系统关系最密切的部分，其功能是否完善是支持通用操作系统的关键因素；另一方面，它是提高处理器性能的核心部件之一。如果 cache 访问效率不高，流水线的其它部分设计得再好也没有用。这一点在龙芯 1 号中我们已经有所体会。学术界与企业界都对如何提高访存性能作了大量研究，设计空间很大，核心问题包括如何降低流水线延迟、如何提高 cache 命中率和降低由于 cache 不命中引起的等待延迟、以及如何解决访存的 RAW、WAR、和 WAW 相关等等。在随后的几天中，我们对这些方面进行了反复的权衡和讨论。直到在回北京的火车上才有比较粗的思路。

有意思的是，一路下来，我女儿看我们的工作，耳濡目染，对 CPU 设计也有了自己的心得。直到今天我问她什么是 CPU，她还说“CPU 就是在一张纸上画些方框，然后用线和箭头把这些方块连起来，再涂上点颜色，写上一些字，最后一烧，烧出一个亮晶晶的小方块”。

最近我女儿经常在用龙芯 2 号做的 LinuxPC 上玩游戏。我告诉她这就是我们在九寨沟画的方框“烧”出来的，她感到很诧异。在 2002 年 8 月 10 日龙芯 1 号首片调试成功之后，龙芯 2 号的设计工作又慢了下来，全组的主要力量放在了龙芯 1 号的系统开发上面。虽然由于龙芯 1 号的系统开发和性能分析耽误了一些时间，但我自己在龙芯 1 号上玩了近一个月后有很大的收获。尤其是对性能和主频的关系有了更深入的认识。比如，对于有一些访存密集的应用，主板频率 83MHz 而 CPU 频率 250MHz 时的性能还不如主板频率 100MHz 而 CPU 频率 200MHz 的性能。现在想起来，一个处理器的性能就象一个城市的交通系统的吞吐率，可能由于某几处的堵塞而影响整个城市的吞吐率，只要把这几处疏通了，虽然花的力气不大，但吞吐率会极大地提高。2002 年 9 月 28 日龙芯 1 号发布会后，龙芯 2 号的设计工作全面展开。10 月 2 日，我带着张福新和李祖松到母校中国科大利用十一长假进行龙芯 2 号的 C 模拟器封闭开发，顺便向母校报告一下我们的工作。在科大借了半间原来的库房呆了一个多星期，基本完成了 C 模拟器的代码编写。在对结构进行细化的过程中发现了好多原来没有考虑到的问题。对于这些问题我们有时候争辩得很激烈。例如在转移猜错取消时需要判断正在执行的指令中哪些是该转移指令前面的，哪些是该转移指令后面的，张福新和李祖松的观点是参照 MIPS R10000 使用的方法，而我觉得那个方法太麻烦，希望有更简洁的方法。我们一直争论了两天，在争论的过程中互相启发，终于找到了一种简洁而高效的方法。

2002 年 10 月 8 日回北京时龙芯 2 号的 C 模拟器已经基本成型。我们继续在我的办公室进行半封闭式的开发，主要是继续完善 C 模拟器并开始调试。那段时间我们每周只有二、四、六晚上休息，其它时间都在调试。调试过程中也调动组里的其它人写了不少测试向量。11 月中旬在 C 模拟器中成功启动 LINUX 操作系统，开始对 C 模拟器进行性能优化以加快模拟速度并用 C 模拟器对龙芯 2 号的结构进行性能分析。

在此期间以及以后的几个月内，我们在 C 模拟器上运行了完整的 SPEC CPU2000 的几乎所有程序以及八十年代比较流行的性能测试程序 dhrystone 和 whetstone 等，对龙芯 2 号的性能进行初步的分析。在运行上述程序过程中还发现了不少设计上的 bug 和考虑不周的地方。印象比较深刻的是由于访存操作的乱序执行导致两个或多个访存操作之间互相替换 cache 块并引起死锁。另外一件印象比较深刻的是 MIPS 指令系统规定转移指令的延迟槽指令不能是转移指令，否则处理器的行为不确定，但我们在 C 模拟器中发现在我们的设计中如果

转移指令的延迟槽指令也是转移指令时也会导致处理器死锁。虽然这是由错误的程序引起的，但也是结构设计考虑不周的地方，对于错误的程序我们可以给出错误的结果，但不能把机器搞死。

由于张福新和李祖松的加入，龙芯 2 号的 C 模拟器比龙芯 1 号完善很多，包括 checkpoint 在内的很多功能都加到模拟器中，此外，C 模拟器的运算速度也大大提高了。张福新还顺手开发了不少小工具。

2002 年 11 月底，我觉得 C 模拟器已经基本稳定，就召开了龙芯 1 号总结以及龙芯 2 号部署的会议，全面部署龙芯 2 号的 RTL 设计工作。

2002 年 12 月初我们组建了 RTL 设计的队伍，由于我们人手有限，RTL 编写的人员都是从各组抽调的，我自己也负责寄存器重命名和几个队列。龙芯 2 号的 RTL 设计大致可以分为三个阶段。

第一阶段为设计阶段。从 12 月初开始大家花了约半个月的时间了解龙芯 2 号的结构，同时我开始进行顶层模块的设计，主要是每个模块的互连关系、接口总线及触发器的定义。12 月 28 日完成顶层模块的设计并启动各模块 RTL 的编写。由于有 Cycle-by-Cycle 的 C 模拟器作为参照，2003 年 1 月 14 日就完成所有模块 RTL 的编写并编译通过，1 月 21 日成功运行第一条指令。在此基础上，经过三天三夜的努力，到 1 月 25 日成功运行龙芯 1 号中使用的包括所有 MIPS 指令的一段功能测试程序。由于 2002 年春节没有放假，因此 1 月 25 日后全组放假。

第二阶段为联调阶段。春节后开始在 RTL 仿真环境上运行 LINUX 操作系统。经过连续一个多星期的努力，2 月 18 日成功运行 LINUX 操作系统。在龙芯 1 号的联调过程中，在运行 LINUX 后，整个流水线的设计就基本上没有发现什么问题，只发现了部分与浮点有关的问题。但在龙芯 2 号中，运行 LINUX 后试图运行 whetstone 时碰到了巨大的困难，甚至一度出现停滞不前的情况。因为错误出现在调用动态库的过程中，而且没有动态库的源代码无法调试。不得已我组织 RTL 编写人员于 3 月 7 日和 8 日进行了两天的封闭式自查。通过自查发现了大大小小 20 多个错误，使运行 whetstone 的联调取得突破性的进展。后来我们又进行了两次封闭自查，只发现一、二处小错误。

第三个阶段为调整和优化阶段，这个阶段是龙芯 2 号逻辑设计的关键阶段。与联调阶段相比，优化阶段发现的 bug 较少，但根据对 RTL 进行综合以及用 C 模拟器进行性能分析的结果对整个设计的延迟、面积、性能进行了持续的优化。通过初步的优化，龙芯 2 号的延迟降低了一倍多，面积降低了 30% 以上，相同频率的性能提高了 30% 以上。在这个阶段的每一周都充满了激动人心的改进，深刻体会到精益求精的道理。孔子说“食不厌精”，处理器设计更是如此。用 1% 的工夫可以完成一个正确的设计，但需要用 99% 的工夫来优化它。

在龙芯 2 的 RTL 优化过程中，我们总结了三条经验。

- 第一条是精益求精的经验。做一个正确的设计和做一个精品的设计是有很大区别的。为了做到精益求精，思想上要永不满足，执着改进。碰到复杂的问题，不能满足于用复杂的方法来解决，要努力把问题简单化再用简单的方法来解决。
- 第二条经验是在执着于细节的理解和把握的同时退后一步进行的全局的观察和思考是十分必要的。在龙芯 2 号的优化中有很多都是在项目的推进过程中退后一步进行文档整理、看文章、或封闭自查时得到的启示。对设计的微观了解和宏观把握是不可偏废的。如果对设计的细节不做一定的了解，则在整理文档或看文章过程都比较虚，不会有灵感出现；反之，如果过于执着于细节，则可能只见树木，不见森林，忽略了一些大的改进。

- 第三条经验是以事实为依据的经验。对设计进行持续的性能分析、物理综合、以及仿真验证为龙芯 2 号的改进和改正提供了大量事实依据。在根据事实进行设计和改进时，一定要在大量的事实和数据的基础上(小量的、不具有代表性的不行)对事实进行深入的分析，弄清楚隐藏在这些事实后面的、本质的东西，这样做的设计和改进才是最优的。

与 RTL 设计和验证同时进行的是 FPGA 验证环境的建设。在这个方面我犯了个错误。由于觉得有了龙芯 1 号 FPGA 验证的经验，龙芯 2 号 FPGA 验证应该没有问题，因此只让范宝峡一个人负责 FPGA 验证工作。没想到由于龙芯 2 号的规模较大，设计也更加复杂，导致 FPGA 验证困难重重。主要困难是由于在一片 FPGA 中放不下，需要多片 FPGA，而且多片 FPGA 之间互连信号太多需要在每片 FPGA 接口处进行倍频传输。此外由多发射引起的多端口寄存器堆也难以在 FPGA 中实现。到 4 月下旬我才意识到 FPGA 验证方面投入的力量很不够并加强了这方面的力量。直到 6 月下旬龙芯 2 号的第一个芯片 tapeout 之前的半个月，才完成 FPGA 验证工作并通过 FPGA 验证及时地发现了设计中的一个错误。

在进行处理器结构和逻辑设计的过程中，其它方面的工作也在同时展开，包括王剑和郑建带领的龙芯 1 号系统的继续开发以及龙芯 2 号软件环境的开发，郑为民带领的龙芯 2 号主板的开发，许彤、赵继业、钟石强、张珩负责的物理设计和验证方法的总结和研究等等。

就在龙芯 2 号的 RTL 设计过程中，SARS 在北京肆虐，并给我们极大的考验。那时候所里的政策是所里不统一放假，但各个部门可以根据自己的具体情况放假。我和唐志敏商量后决定我们采取一定的预防措施并适当减轻工作强度。我们要求凡是乘坐公共交通系统上下班的都不来上班，晚上 9 点前必须下班，每天的中饭和晚饭由室里统一安排。至于外界的来访，所里早就不允许进入北楼了。此外，所里和室里都给我们发放了有关的预防药物，我们自己也买了一些。在这段日子里，虽然我们的进度被迫放慢了一些，但依旧不断地向前推进。我在为全国人民面对灾难时众志成城战胜非典的精神所鼓舞的同时，也为全组在这么困难的情况下坚守岗位所感动。

2003 年 3 月份我们开始部署龙芯 2 号中用到的一个 9 个端口的寄存器堆的全定制设计。为了保险，我们部署了两套方案来设计寄存器堆。首选方案是请一个大公司帮我们做这个寄存器堆，同时作为与中科院微电子中心的合作请微电子中心设计同样的寄存器堆作为备选方案。由于首次流片主要是对设计的正确性和结构性能进行验证，因此首次流片除了寄存器堆外还是用 ASIC 的设计方法，并准备用中科院 EDA 中心的 Synopsys 工具进行布局布线以减少购买 EDA 工具的费用，因此在 5 月份之前物理设计组的人员也对 Synopsys 的工具进行了进一步熟悉。2003 年 5 月份开始龙芯 2 号的物理设计正式展开。从 5 月初到 6 月中下旬，我们对使用的方法和流程进行了反复的试验、比较和确定，尤其是关于是否使用层次化设计方法、使用何种 Wireload Model、以及 Floorplan 的方案等进行了反复的试验和尝试，并最终确定方法和流程。到 6 月底时确定了布局布线的方案并基本完成了布局布线，与流片厂家 TSMC 联系好准备在 7 月 10 日前 tapeout。本来一切都在“掌控之中”，但随后发生的两件事情却大大出乎我们的意料。

第一件事情是在 6 月底完成 FPGA 验证平台建设后，在用该平台运行 SPEC CPU2000 程序进行性能分析时有一个程序的浮点结果有时正确有时错误。由于其它程序都运行正确，而且操作系统对虚地址 cache 支持部分还有 bug，因此刚开始我没有认为 RTL 有问题。7 月 2 日下午，张福新在机房中说了一句话：“我觉得还是 RTL 有问题”，这句话使我心烦意乱，放下正在看的布线工具文档，决定要把这个事情搞清楚。在随后的几十个小时中，我们使用 FPGA 验证、C 模拟器、以及 RTL 仿真对这段出错的程序进行追踪。终于在 7 月 4 日早上找到了一个 RTL 的 bug。好在问题只涉及局部的设计，我们修改完 RTL 后通过手工修改网表花

了一天就完成了 ECO 的布局布线。

一波未平、一波又起。刚想歇会儿，负责全定制寄存器堆仿真的王林楠报告说寄存器堆不能正常工作。我刚开始不相信，因为为我们设计寄存器堆的 C 公司是业内非常有名的大公司。但不同的仿真结果都说明寄存器堆有问题。我们花了两三天才说服 C 公司的设计人员认识到设计错误并且改正过来。此后我们又对寄存器堆做了更多的仿真，并跟一个工具的 bug 斗争了几天几夜。在此期间，微电子中心的黄令仪老师给了我们极大的支持，否则我们不会这么快对寄存器堆的设计有深入的了解。

由于这两件事情的发生，到 7 月 14 日我们终于把龙芯 2 号的第一个设计 tapeout 到 TSMC 时，我们已经连续在机房不分昼夜地干了十几天。但由于在临 tapeout 前曾经发现寄存器堆设计的问题，因此 tapeout 之后也不敢松懈，继续对寄存器堆进行分析和仿真。由于 EDA 工具对较大规模的模拟电路没有有效的支持，主要依靠设计者的经验，我们也请一些电路设计高手帮我们进行分析。经过一个多礼拜心惊肉跳的检查，在排除了一系列可能存在的问题后，最后一个关于电源地规划的问题成为我们关注的焦点，也成了我在此后的几十天中的一块心病。设计者似乎在这方面有疏忽，在最离谱的地方，几十毫安的电流只用了 0.28 微米的地线。我们与 C 公司的工程师联系时，他们觉得没有问题，反而说过多的电流会通过衬底流掉。这时候我们在很多高手的指点下已经对全定制设计有所了解，觉得这个问题比较严重，因此在与 C 公司反复交涉得不到他们的积极配合后决定起用备份方案，再做一个流片。刚好黄老师她们做的寄存器堆也已经完成了。我们把已经 tapeout 的第一个芯片叫做龙芯 2 号的 A 方案，把准备做的叫做 B 方案。

在我跟李老师和唐志敏提出再做一个流片后，他们提出这次可以在 SMIC 流片，因为刚好 Artisan 为 SMIC 做的库在 6 月份发布了。事实上，李老师在去年就提出龙芯 2 号在 SMIC 流片，我不干。这次我也是不大愿意，因为我那时对 SMIC 不了解。李老师说，我们自己希望别人支持民族产业，用我们的芯片；而我们自己不支持大陆厂家，怎么行。我还是不愿意。后来有一次在所里培训时碰到李老师又说起了这件事。他说：“不管 SMIC 的工艺怎么样，总得有人去试，大不了不成功，下次再来”。我说：“要的就是您这句话”。因此就定下来 8 月份在 SMIC 流片。

我们在 7 月 30 日下午拿到 SMIC 的库，那时候离 tapeout 只有两个星期了，而且 SMIC 的库还存在不少问题，我们不得不一边发现并修改库的 bug 一边把物理设计向前推进。这真是做得最辛苦的一次物理设计，连续的熬夜搞得我们吃饭也没胃口，每天只在晚饭时吃一顿。室里的刘凤芹老师看我们不去食堂吃饭，每天早上都熬一些紫米粥来给我们喝，我爱人有时候晚上也给我们熬些鱼汤什么的。8 月 10 日下午布完线后心里塌实了一些，我和钟石强、杨旭去四环志新桥边上的一个粥铺吃晚饭，才觉得饿坏了。吃完后数数桌上竟有 17 个空盘子，出来时撑得腰都弯不下来，三人一路走回中关村。

布完线后我们又根据分析的结果做了些手工调整修复信号完整性问题和进一步降低延迟，并修复了 DRC 和天线的问题。到 8 月 12 日中午 LVS 经过几次修改也基本通过，我们觉得差不多了。那天正是农历七月半，因此在加上 guardring 后趁计算机做最后的 LVS 检查时我和钟石强、杨旭去天安门广场瞻仰毛主席去，可惜那天下午纪念堂没开，我们只好绕纪念堂一圈回来，路上猛然想起今年是毛主席诞辰 110 周年，于是约定把明天 tapeout 的这个芯片的起名叫 MZD110。

回到所里时没想到刚才 LVS 运行的结果还是有错。于是赶快对刚加的 guardring 进行检查。guardring 是围绕芯片最外边的一圈保护环，奇怪的是加上 guardring 后 LVS 检查就显示芯片里边的逻辑有错，去掉 guardring 后再检查芯片里边的逻辑又没错。那天晚上一直在找这

个问题，黄老师也跑过来帮我们一起找。第二天天亮后就要 tapeout 了，但一直到后半夜还搞不定。眼看时间一分一秒地过去，真是又困又累又着急，几乎要放弃。快天亮时王林楠重做的 guardring 做好了，又折腾了几次 LVS 检查终于通过，这时候清晨的阳光已斜斜地照进机房。把文件传给 SMIC 后我们又取回来再做一次 LVS 和 DRC。计算机在运行时，我和杨旭斜靠在椅子上等待。杨旭说：“昨天晚上真怕睡着，我有时候靠在椅子上歇一会儿，看见你们躺下了就赶忙起来，怕咱们三人都睡着了就不知道睡到什么时候了”。这句话让我十分感动，因为昨晚最困的时候我自己也是一直用这个念头强撑着不敢闭眼。那时候我们已经连续十几天没有正常休息而且莫名其妙的问题搞得我心力交瘁，我第一次感到人的体能是有极限的，人的精神是会崩溃的，真想一觉睡过 tapeout 的时间算了。我仰头看着天花板，好不让杨旭看见我的眼泪，很动情地说：“杨旭，你有这样的责任心，以后在我们这里肯定前途无量”。杨旭是刚从微电子中心毕业后到我们这里来工作的，他还没有到所里报到，就先来跟我们一起苦熬。

我经常把我们课题组比做一个硬骨头连队，把自己比做连长。在龙芯 1 号流片成功后，我这个连长得到了很多本来应该属于全连的荣誉，包括获得“中国青年五四奖章”并受到总书记的接见，而每天跟我一起冲锋陷阵的兄弟们什么也没有。我真是愧对他们。

去年在龙芯 1 号 tapeout 之后，我曾经说，我觉得三个都能成，如果两个成功也可以接受，如果只有一个成功我会觉得比较失败，如果全部不成功那就没有天理了。但龙芯 2 号 tapeout 之后，我对 A 方案和 B 方案都没有必胜的信心。但不管最后结果怎么样，有两点是肯定的。一是全组已经尽了最大努力，Godson-2 的设计比 Godson-1 辛苦得多，难度大得多在龙芯 1 号发布会后龙芯 2 号的工作才全面铺开，10 个月后我们就完成了这么复杂的设计，没有全组兄弟们玩命的工作是不可能做到的。二是即使流片不成功，我们已经有了很好的基础，以前的至少 90% 的工作没有白费，即使这次不成以后总会成功的。

9 月 5 日下午我在丝毫没有准备的情况下收到了龙芯 2 号的 A 方案的芯片，当晚我组织了联调，虽然在加电后很快就能够启动一个简单的 BIOS 系统，但系统运行得很不稳定。在连续三天的调试后，我们虽然得到了一些有用的结论，如验证了跨时钟域的信号握手机制，但一直无法让系统稳定运行，因此我决定终止继续联调并给李老师和唐志敏发 EMAIL 报告了这一情况。

虽然由于寄存器堆的问题我已经对 A 方案的流片不抱太大的希望，但真正面对这个结果时还是很难受。那阵子我经常坐在机房里，痴痴地看着寄存器堆的版图发呆；或者独自呆在办公室，想想过去一年中我们在实验室里度过的日日夜夜，龙芯 1 号发布后我们立即马不停蹄地展开龙芯 2 号的设计甚至在非典期间也不敢松懈。龙芯 2 号的设计比龙芯 1 号复杂得多，连续的加班也惨烈得多。在这段日子里，我自己每周的工作时间都在 80 小时以上，而课题组的不少同学比我还多。多少次为一个小问题而夜不能寐，多少次为一个小细节而殚精竭虑；每一个进步的脚步都充满了汗水，每一点进展都是心血的凝聚。竟得到这样一个结果，心里十分难受。

我和唐志敏十几年的兄弟，基本上心意相通的，点滴的想法我都跟他讨论，点滴的进展和挫折他也都知道，有些大的决策一起做出。因此，A 方案流片的失败，我跟他还是坦坦然的。虽然李老师见到我象没事似的（也许他觉得这样会让我少些压力），但这样让我更不安，本来我希望他骂我一通或者安慰我一下，可惜没有。这段日子我觉得最对不住的还是邓书记。在我们研制龙芯 2 号的日子里，她给了我们很多的特殊照顾，包括我们的办公环境以及我自己和课题组里员工和学生的生活条件，我一直说书记是我们的活菩萨。因此这段日子我自己都觉得不好意思见她，有时候在路上碰到，我就远远地绕开走。

由于龙芯 2 号 A 方案的流片失败，我们更加迫切地等待 B 方案流片的结果。这种等待有时候让我坐卧不宁，必须时时刻刻地找事情做心里才好受一些。因此在这个阶段我们对龙芯 2 号 B 方案的结构和 RTL 继续进行优化(真算是化悲痛为力量)。不仅延迟又降低了 0.5ns，而且通过对存储层次的改进，相同主频下性能也提高了很多。

在 SMIC 完成流片后，我们得到了封装厂家的大力支持，以最快的速度完成了封装。我又派专人去上海立等芯片的封装结束并把芯片直接取回来，这种在煎熬中等待的日子我是一刻也不想过了。好在天道酬勤，在拿到芯片的 40 分钟内我们就用龙芯 2 号把操作系统启动了起来。此后，我们又化了大约三个礼拜针对龙芯 2 号虚地址 cache 和猜测执行的特点把操作系统搞稳定。

现在，基于龙芯 2 号的 Linux-PC 已经稳定运行了一个多月。目前的龙芯 2 号最高频率为 300MHz，功耗 1W-2W，成品率约为 80%左右。在性能方面，在联调的第一天我们只把龙芯 2 号的主频调到 133MHz 时已经明显感觉到比 266MHz 的龙芯 1 号还要快很多。龙芯 1 号不能胜任的许多应用，包括流媒体的软解压、GNU2.4 的支持、Mozilla 浏览器、OpenOffice 办公软件等重量级的应用，在龙芯 2 号中都能比较流畅地运行。尤其是流媒体的软解压，我曾经化了三天三夜进行软件优化来提高龙芯 1 号软解压的效果，但最后还是差一点;把龙芯 1 号勉强能软解压播放的一个 MPEG 文件在 200MHz 的龙芯 2 号上播放，只要 23%的 CPU。而对于标准的 MP3 播放，龙芯 2 号只要不到 1%的 CPU 就应付裕如了。通过使用 SPEC CPU2000 对龙芯 2 号的性能分析表明，相同主频下龙芯 2 号的性能已经明显超过 PII 的性能，是龙芯 1 号的 3-5 倍。

我曾经终日坐在用龙芯 2 号做的计算机前，玩着各种游戏，使用各种重量级的软件来感受龙芯 2 号的性能。虽然对于有些大型的应用软件还感到有些迟钝，但我们的龙芯 2 号已经明显表现出她作为 PC 机中使用的 CPU 的资格和风范。每当我在龙芯 2 号上玩着 LINUX PC 中的各种游戏，想想一年前玩龙芯 1 号时觉得性能不理想时的郁闷心情，真是我这一年来最爽的体验。

龙芯 2 号的性能提高主要来自先进的结构设计，包括四发射和乱序执行结构的设计。而乱序执行的关键技术是龙芯 2 号结构设计的重点和难点，四发射的 RISC 结构如果没有乱序执行技术的支持是发挥不出效率的。例如典型的定点程序中平均每六、七条指令就有一条转移指令，意味着在四发射结构中每两拍就有一条转移指令。如果等转移指令的目标地址确定再进行后面的取指，意味着每取两拍指令就得等五、六拍甚至更多才能继续后面的取指。又如，做一个简单的加法需要两个操作数，而如果这两个操作数都需要从内存中(即主板上的内存条)取回来，那么在做这个加法之前，需要至少上百拍的时间为这个加法准备数据。指令乱序执行的核心思想就是减少各种相关引起的等待，充分发挥处理器的效率。主要做法包括：

1. 转移猜测，即在转移指令目标尚未确定的时候，根据过去转移指令执行的历史猜测该转移指令的转移方向和转移目标，并根据猜测的结果进行后续指令的取指，为处理器提供连续稳定的指令流。如果最后发现猜测错误，则取消猜错的转移指令后面的指令。
2. 动态调度，即在前面的指令由于操作数未准备好而等待时，后面的操作数已经准备好的指令可以越过前面的指令先执行。
3. 寄存器重命名，即指令运算后先写到一个临时的寄存器，等确定该指令不会被取消后再写到真正的目标寄存器中去。这样做的好处除了便于前面指令发生例外或转移猜错时取消外，还避免了由于两条指令写同一个寄存器时的等待。

此外，访存指令的乱序执行又有新的特征。除了通过增大 cache 和对 cache 进行有效的组

织尽量提高 cache 命中率并降低 cache 访问的延迟外，还需要对访存指令进行乱序执行以提高效率。访存指令乱序执行的关键技术包括：

1. **Non-blocking** 技术，即在前面的访存指令由于 cache 不命中进行长延迟的存储访问时，后面的指令可以继续访问 cache。
2. **MemoryDisambiguation** 技术，即在存数和取数指令都乱序执行的情况下，保证取数指令都能取回它前面的最近一条对同一地址的存数指令所存的值。比如如果一条取数指令在一条存数指令之后且两条指令的地址相等，但取数指令先访问 cache，也要保证取数指令取回该存数指令的值；又如如果一条取数指令在一条存数指令之前且两条指令的地址相等，但存数指令先访问 cache，也要保证取数指令取回原来 cache 中的值，而不是存数指令新存的值。
3. **LoadSpeculation** 技术，即在取数指令访问 cache 后，它前面的存数指令地址还没有确定(即取数指令从 cache 中取回的值有可能是错误的)，先把取数指令从 cache 中取回的值送给后续的指令用，如果后来发现它前面的存数指令和该取数指令访问的是同一个单元，再取消该取数指令后面的指令。
4. **WriteBuffer** 技术，由于存数指令也是乱序执行的，存数指令所存的值不能立即写到 cache 或内存，而是要根据存数指令在程序中的次序写到 cache 或内存。

在乱序执行的结构中，虽然指令执行是乱序的，但开始和结束是有序的。指令在译码和寄存器重命名后就放在一个有序的队列中，由该队列来记录每一条指令的执行阶段并有序地结束指令。即指令在流水线中是有序进入、乱序执行、有序结束。

龙芯 2 号的主要结构特点包括，64 位设计，7-10 级流水线，包括取指、译码、重命名、发射、读寄存器、执行写回、提交等，其中乘除、浮点操作、以及访存操作在执行写回阶段需要多拍。四发射结构，最多可以有 64 条指令乱序执行。共有 5 个功能部件，包括定点 ALU1(完成定点加减、逻辑、移位、转移)，定点 ALU2(完成定点加减、逻辑、移位、乘除)，浮点 ALU1(完成定点加减、转换、转移)，浮点 ALU2(完成乘除、开方)，以及访存部件(完成访存、系统管理、数据传送)。通过对浮点指令 fmt 域的简单扩充，浮点部件可以执行完整的定点指令以及 4 路 SIMD 的媒体指令。在乱序执行方面，转移猜测使用混合预测+Gshare+BTB+RAS 的转移猜测方式；通过物理寄存器到逻辑寄存器映射进行寄存器重命名，定点浮点寄存器堆各为 64 项；动态调度方面定点和浮点保留站各 16 项，ReorderBuffer 为 64 项。

在存储管理方面，TLB 为 64 项全相联，每项两页，页大小在 4KB-4MB 之间可变。此外，有一个独立的 8 项的指令 TLB 是数据 TLB 的子集。与龙芯 1 号一样，在 TLB 中增加可执行位，防止缓冲区溢出攻击。数据 cache 和指令 cache 各为 32KB，二路组相联。最多允许 32 个访存操作的 Non-blocking 访问，访存相关在访存队列中通过全相联的查找解决，避免了象 Alpha21264 或 MIPS R10000 中碰到访存相关时需要重新发射。实现 load-speculation，允许前面的 store 操作未确定的情况下执行 load 操作并返回结果。cache 失效时实现关键字优先访问，以减少访存等待，Uncached 操作实现 uncachedaccelerate 算法加速 I/O 访问。

目前的龙芯 2 号只是我们所承担的项目的阶段成果。它的作用主要体现在四个方面。一是对目前的处理器核设计进行验证；二是用于进行性能分析以及对性能分析方法的改进；三是验证新的物理设计方法和生产厂家；四是提前提供软件开发平台，为 LINUXPC 的正式推出做好准备。现在看来，这几个目的都达到了。

我们的下一步目标是在目前龙芯 2 号的基础上把性能再提高到现在的 3-5 倍，并利用明

年完成的龙芯 2 号做一台每秒运算一千亿次的计算机。我还是博士生时唐志敏曾经带我到中科院网络中心去算题，有一次他隔着玻璃指着一台计算机对我说，这台就是从日本引进的计算机，现在系统管理的权限还在日本人手里，增加一个用户都要它们批准，什么时候我们自己做一台比它还快的计算机，就放在这台计算机边上，告诉它们这台机器就是用来做核模拟的。所以做一台自己的高性能机是我学生时期的梦想，虽然现在国内最快的高性能机已经达到每秒几万亿次，但我一定要圆这个梦。

计算所的一位研究员曾经说过，创新工作一个重要特征就是这个工作让人感到“狠”。我觉得，龙芯 1 号“狠”的地方就是进度快，从零开始，用了不到一年半的时间完成一个通用处理器的设计；而目前的龙芯 2 号“狠”的地方就是在结构上对性能的大幅提高。我相信，更“狠”的还在后头。